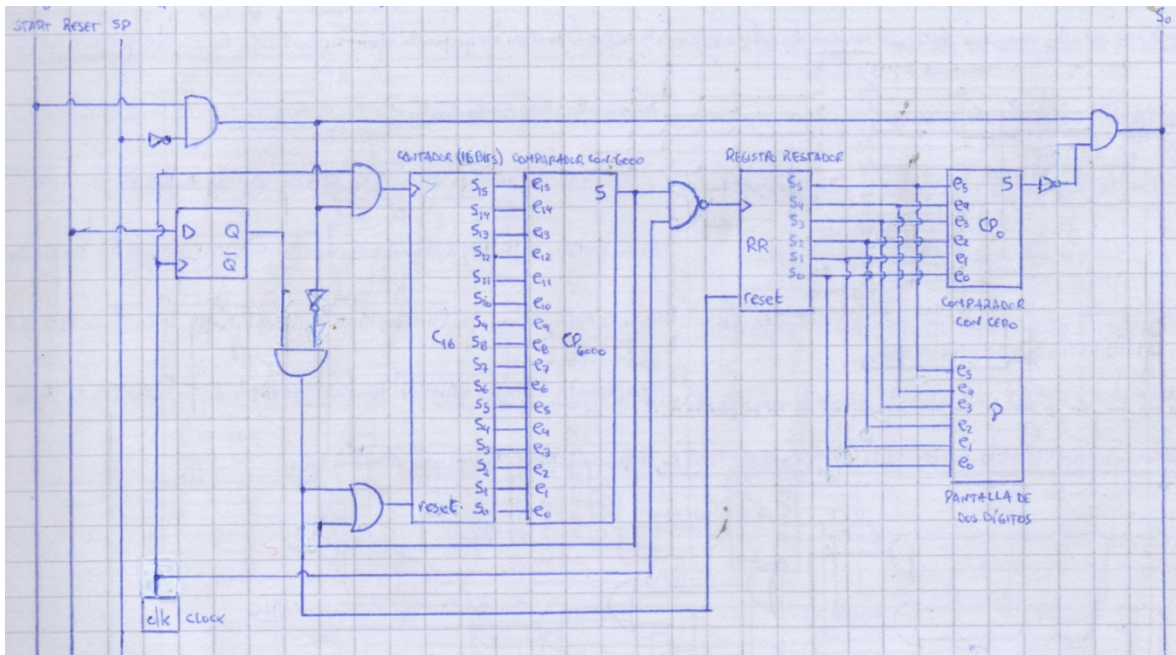


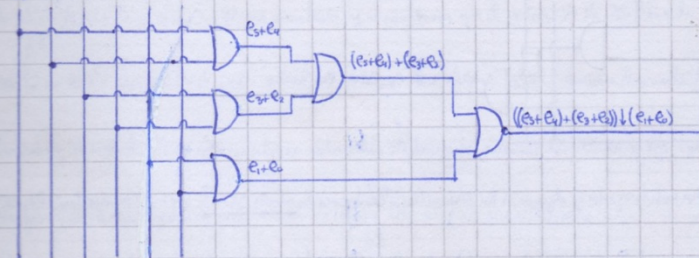
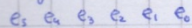
Ejercicio 23c:

c) Para construir el circuito solicitado, usaremos los circuitos ya hechos modularizados y algunos de los disponibles. Reiniciamos la entrada START que en 0 representa "PAUSE", la entrada SP (sobrepeso) que representa al sensor que da 1 si hay sobrepeso (el sistema está sobrecargado) y la entrada RESET (para reiniciar el estado del lavaplatos si no está contenido). Para representar el ciclo de 30 minutos usaremos el clock de 100 Hz y lo conectaremos a la entrada de un contador de 16 bits. Su salida estará conectada al com parador con 6000 y veremos que como la frecuencia del clock es de 100 Hz, se producen 100 ciclos por segundo y luego 6000 ciclos por minuto, por lo que al llegar el contador a 6000 lo reiniciaremos y disminuiremos el valor del registro restador en 1. Este último comenzará en 30 y por cada 6000 ciclos del contador su clock se habilitará y disminuirá así hasta llegar a 0. Mientras el circuito está on y el valor del circuito restador está por encima de cero, la salida So estará activa. Decimos que el circuito estará on cuando START=1 y SP=0 (anuncio por no haber sobrecarga). Luego, para la entrada RESET, ésta estará conectada a la entrada reset del contador a 6000 y a la entrada reset del registro restador a través de un flip-flop D (por tener un clock y al ser ambos contadores sincronizados) y una compuerta AND que me lo limite a 0 si está on (seguridad de la extensión). El hecho de que está on limita la salida del clock para simular la pausa, que sucede al bajar START a 0 (ya que al estar on no puede pasar SP a 1, pero si puede ocurrir si START=0). La salida del registro restador irá a la pantalla de 2 dígitos y 6 entradas, quedando el circuito de la forma:



Notase que pagamos la entrada de CLK del registro notados para luego que funcione en el flanco descendente de CLK. Esto lo hacemos para que en un flanco ascendente la salida del contador se compare con 6000 y muestre una salida, y en su descendente, si el valor i se sea como flanco ascendente en el registro y luego la resta en el mismo ciclo. Notase además que implementamos un comparador con cero para ver cuando el ciclo del registro notados llega a cero y la salida se debe apagar. Esto se puede escribir

de la forma:



Notare que

5 | Recordemos que $S = \overline{e_5} \cdot \overline{e_4} \cdot \overline{e_3} \cdot \overline{e_2} \cdot \overline{e_1} \cdot \overline{e_0} = \overline{e_5 + e_4 + e_3 + e_2 + e_1 + e_0}$.

$$1. \overline{e_1 e_0} \text{ (Ley de Morgan)} = \overline{(e_1 + e_4)} + \overline{(e_3 + e_2)} \cdot \overline{(e_1 + e_0)} = \overline{((e_1 + e_4) +$$

$$+ (e_3 + e_2) + (e_1 + e_0) \text{ (Règle de Morgan)} = ((e_3 + e_4) + (e_3 + e_2)) \vee (e_1 + e_0)$$

! (definición de NCF)